

Предварительно

**МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1508ПЛ9Т
ТЕХНИЧЕСКОЕ ОПИСАНИЕ**

Версия 0.5

06.12.2010

Аннотация

Данный документ является предварительным техническим описанием СБИС ФАПЧ, разрабатываемой в рамках ОКР “Синтетик-2”.

Разрабатываемая СБИС ФАПЧ предназначена для использования в синтезаторах несущих и гетеродинных частот, а так же в синтезаторах сигналов приемо-передающих устройств радиолокационных и связных комплексов в VHF, L, P, S и X диапазонах.

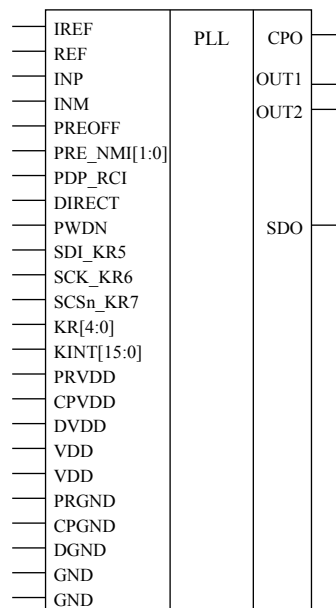
СБИС может быть использована для замены используемых в настоящее время зарубежных схем ФАПЧ (PLL), в частности ADF41xx, ADF42xx (Analog Devices), LMX23xx (National Semiconductor), PE32xx, PE33xx (Peregrine), Q23xx (Qualcomm), CX72302 (Skyworks).

Оглавление

1. Основные особенности.....	4
2. Функциональное описание.....	4
2.1. Выводы СБИС.....	6
2.2. Целочисленный делитель.....	6
2.3. Сигма-дельта модулятор.....	7
2.4. Устройство рандомизации помех дробности.....	8
2.5. Фазовый детектор и генератор тока.....	8
2.6. Последовательный интерфейс управления PLL.....	9
2.7. Режим DIRECT.....	12
2.8. Режим PWDN.....	12
2.9. Режимы тестирования.....	12
3. Электрические характеристики.....	13
4. Временные характеристики.....	15
5. Типовые схемы включения.....	16
6. Корпус СБИС.....	18

1. Основные особенности

- Входная частота до 3ГГц
- Частота работы фазового детектора не более 75МГц
- Коэффициенты деления предделителя 4/5, 8/9, 16/17 и 32/33
- Режимы работы с целочисленным и дробным коэффициентом деления
- Устройство рандомизации помех дробности
- Последовательный порт управления SPI
- Возможность управления коэффициентом деления по параллельной шине
- Потребление не более 80 мВт
- Корпус QFN48



2. Функциональное описание

Функциональная диаграмма СБИС ФАПЧ приведена на рисунке 2.1.

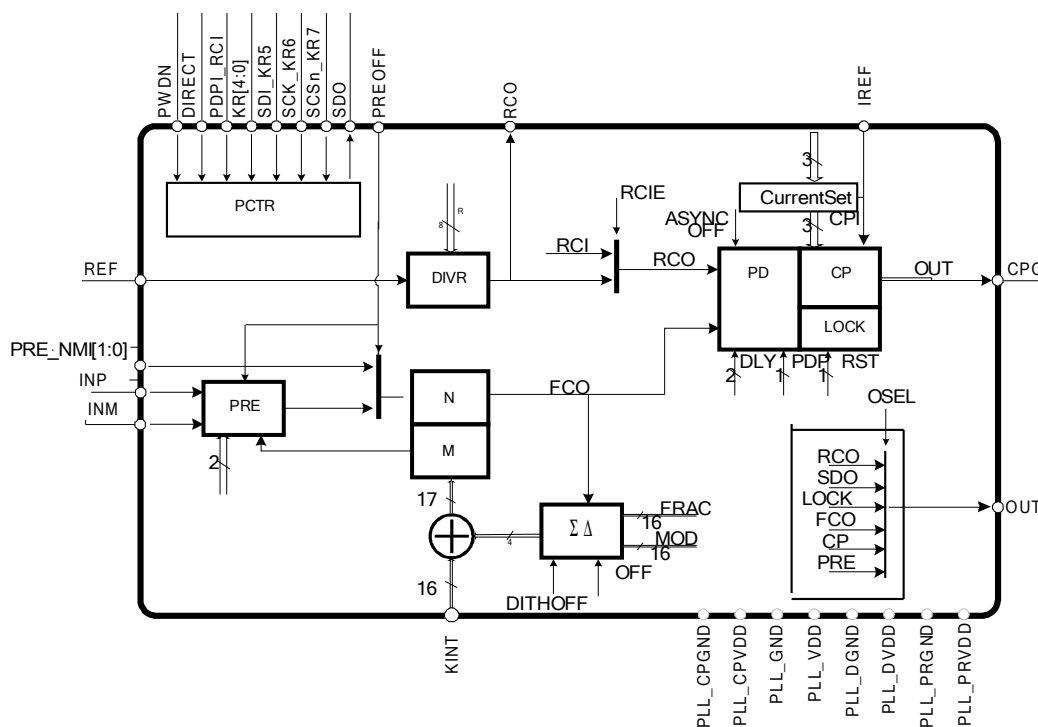


Рис. 2.1. Функциональная диаграмма СБИС ФАПЧ.

СБИС ФАПЧ содержит целочисленный делитель входной тактовой частоты, построенный на основе предделителя PRE и счетчика DIVNM, сигма-дельта модулятор SDM для формирования дробных коэффициентов деления, 14-бит делитель опорной тактовой частоты DIVR, фазовый детектор с генератором тока PDSP для управления внешним ГУН и схему управления PCTR.

СБИС может работать в режимах целочисленного (SDM выключен) и дробного (SDM включен) коэффициентов деления. Зависимость входной и опорной тактовой частот определяется следующей формулой:

$$F_{in} = F_{ref} * (INT + FRAC/MOD) / R$$

где:

INT – 17-бит целая часть коэффициента деления входной частоты

FRAC – 16-бит числитель дробной части коэффициента деления входной частоты (0, если SDM выключен)

MOD – 16-бит знаменатель дробной части коэффициента деления входной частоты

R – 14-бит коэффициент деления опорной частоты

Установка параметров и управление СБИС осуществляется с помощью SPI-совместимого последовательного интерфейса. Кроме этого, предусмотрена возможность управления целочисленным коэффициентом деления по параллельной шине и режим работы СБИС с непосредственным управлением (режим DIRECT).

2.1. Выводы СБИС

Таблица 2.1. Назначение выводов СБИС

Обозначение	Кол-во	Тип ввода	Функциональное назначение
INP	1	AI	Вход тактовой частоты положительный
INM	1	AI	Вход тактовой частоты отрицательный
REF	1	AI	Вход опорной частоты
IREF	1	AI	Установка опорного ток генератора тока
CPO	1	АО	Выход генератора тока
SDI_KR5	1	I	DIRECT==0: Вход данных последовательного порта управления DIRECT==1: 5-ый бит коэффициента R
SDO	1	O	Выход данных последовательного порта управления
SCK_KR6	1	I	DIRECT==0: Тактовый вход последовательного порта управления DIRECT==1: 6-ой бит коэффициента R
SCSn_KR7	1	I	DIRECT==0: Вход выбора последовательного порта управления DIRECT==1: 7-ой бит коэффициента R
OUT	1	O	Выход программируемый
RCO	1	O	Выход с делителя опорной частоты.
DIRECT	1	I	Включение режима DIRECT: DIRECT==1 – режим DIRECT включен
PWDN	1	I	Переход в энергосберегающий режим. 1-нормальный режим работы.
KINT[15:0]	17	I	Вход прямой загрузки младшей части коэффициента деления INT[16:0]
PREOFF	1	I	Сигнал выключения прескейлера: PREOFF==1 – прескейлер выключен, в качестве входа тактовой частоты используется PRE_NMI[0]
PRE_NMI[1:0]	2	I	PREOFF==1: PRE_NMI[0] - вход тактовой частоты* PREOFF==0, DIRECT==1: коэффициент деления предделителя
KR[4:0]	5	I	Вход прямой загрузки коэффициента деления R[4:0]
PDPI_RCI	1	I	DIRECT==0: вход опорной частоты фазового детектора RCI DIRECT==1: управление полярностью фазового детектора PDP
PRVDD	1	DPWR	Питание приемника тактовой частоты и прескейлера (1.8В)
DVDD	1	DPWR	Питание 3.3В
VDD	2	PWR	Питание 1.8В
CPVDD	1	APWR	Питание генератора тока (3.3В)
PRGND	1	DGND	Земля приемника тактовой частоты и прескейлера
DGND	1	DGND	Земля 3.3В
GND	2	GND	Земля 1.8В
CPGND	1	AGND	Земля генератора тока
	48		

*-При этом входы INM/INP становятся нерабочими и сигнал с PRE_NMI[0] поступает на вход целочисленного делителя (в обход предварительного делителя). PRE_NMI[1] оставляется в висячем положении, либо на него подается напряжение логических уровней. Сигналы INM/INP оставляются незадействованными в висячем положении, либо для устранения вероятности генераций на них подается 1,8В (в этом случае возникнет тоу утечки по входам ~30мкА)

2.2. Целочисленный делитель

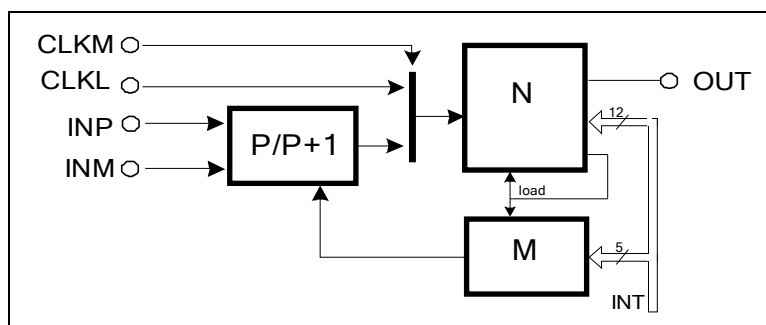


Рисунок 2.2. Структурная схема целочисленного делителя.

Целочисленный делитель входной тактовой частоты построен на основе высокочастотного предделителя PRE, с переменным коэффициентом деления P/P+1, и относительно низкочастотного делителя DIVNM, управляющего выбором коэффициента деления предделителя P/P+1. Базовый коэффициент деления предделителя P задается параметром PRE[1:0] и должен выбираться так, чтобы обеспечить работу делителя DIVNM на частоте не более 750МГц. Общий коэффициент целочисленного деления задается 17-бит параметром INT[16:0]. Коэффициент деления предделителя PRE непосредственно не влияет на общий коэффициент деления INT, но определяет возможный диапазон его установки (см. таблицу 2.2).

Таблица 2.2. Диапазоны установки целочисленного коэффициента деления.

PRE	P/P+1	Fin MAX	INT
0	4/5	1.2 ГГц	12..16383
1	8/9	2.4 ГГц	56..32767
2	16/17	4.8 ГГц	240..65535
3	32/33	6.0 ГГц	992..131071

Параметры PRE и INT могут быть установлены через последовательный порт или напрямую с помощью входов PRE_NMI и KINT[16:0].

При входной частоте менее 300МГц для снижения потребления предделитель PRE может быть выключен с помощью сигнала PREOFF. В этом случае делитель DIVNM тактируется низкочастотным сигналом с входа PRE_NMI[0], а коэффициент деления INT может быть установлен в диапазоне 1..4095.

2.3. Сигма-дельта модулятор

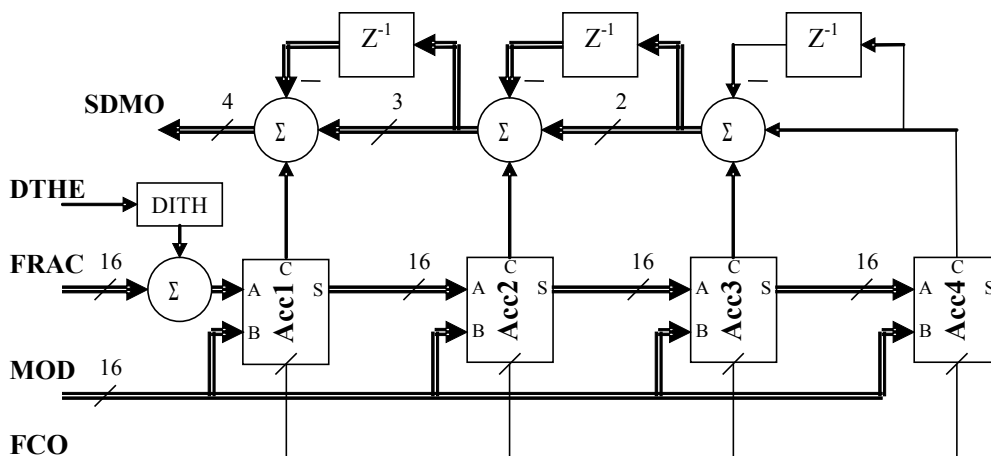


Рисунок 2.3. Структурная схема сигма-дельта модулятора.

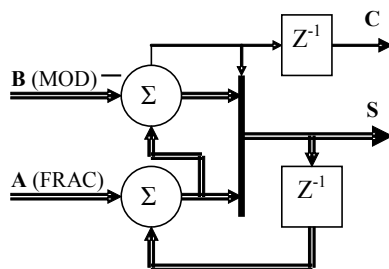
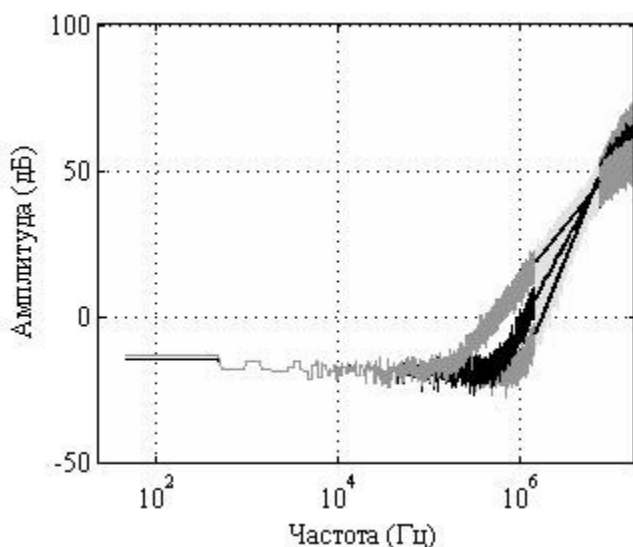


Рисунок 2.4. Модульный интегратор сигма-дельта модулятора.

Для правильной работы сигма-дельта модулятора необходимо, чтобы значение поля FRAC было меньше значения поля MOD.



Сигма-дельта модулятор MASH-структуры представляет собой цепочку накопителей (модуль определяется коэффициентом MOD), выполняющих функцию квантования и накопления ошибки фазы. Собственно функцию СДМ выполняет первый накопитель в цепочке. Остальные аккумуляторы (определяющие порядок СДМ) добавляют и вычитают (с задержкой в один такт) к результату первого квантователя бит переноса. Порядок СДМ устанавливается программно и определяется порядком фильтра (не выше) на

выходе микросхемы.

С выхода SDMO информация на каждом такте FCO суммируется с целочисленным коэффициентом INT и результат загружается в целочисленный делитель DIVNM. Средний коэффициент деления получается равным $INT + FRAC/MOD$.

На рисунке изображена зависимость спектра выходной последовательности от порядка СДМ (чем больше порядок СДМ - тем круче наклон характеристики).

2.4. Устройство рандомизации помех дробности

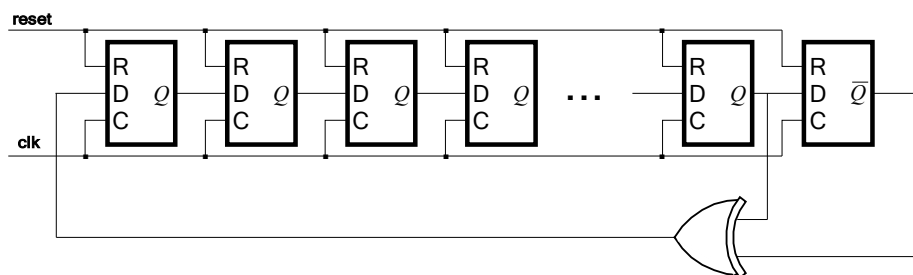
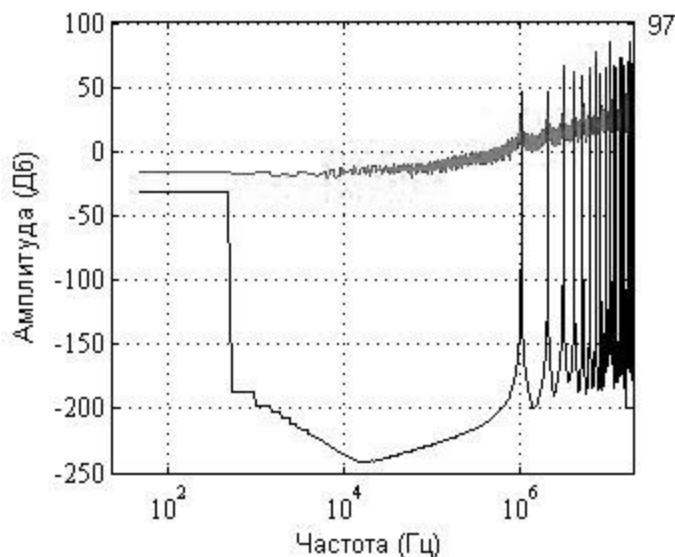


Рисунок 2.5. Устройство рандомизации помех дробности.



Устройство рандомизации помех дробности представляет собой линейный 24-разрядный регистр с обратной связью. Логика обратной связи представляет собой элемент хог, на одном входе – прямой выход с 23-го регистра, на втором – инверсный с 24-го.

Используется на входе СДМ как формирователь дополнительного шума для устранения дискретных составляющих из спектра генерируемой СДМ-последовательности (см. рисунок).

2.5. Фазовый детектор и генератор тока

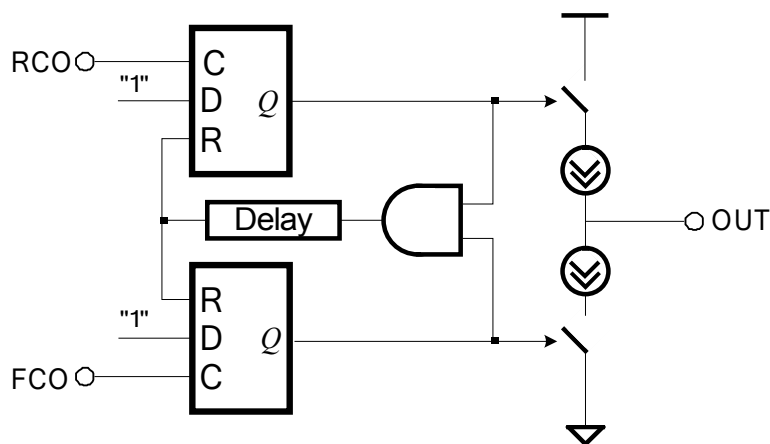


Рисунок 2.6. Фазовый детектор и генератор тока.

Фазовый детектор и генератор тока принимает сигналы с выходов делителей опорной и входной частоты и формирует на выходе токовый сигнал, длительность которого пропорциональна разности фаз входных сигналов. Величина выходного тока определяется опорным резистором Rset, включаемым между выводами IREF и CPGND, и управляющим кодом генератора тока CPI1 или CPI2:

$$I[\text{mA}] = (\text{CPI}+1) \cdot 3,2 / \text{Rset}[\text{кОм}].$$

Для поля управляющих кодов генератора тока CPI1 и CPI2, а также поля FL, LM и CNT позволяют реализовать режимы быстрого захвата частоты.

С помощью поля DLY может быть задана длительность задержки сигнала окончания цикла фазового детектора для компенсации “мертвой зоны” фазового детектора.

С помощью поля PDP можно установить полярность фазового детектора для использования ГУН как с положительным, так и отрицательным наклоном управляющей характеристики.

2.6. Последовательный интерфейс управления PLL

Для управление PLL используется последовательный SPI-совместимый порт. Сигналы SDI, SDO, SCK и SCSn используются для загрузки кодов управления в 24-бит внутренний последовательный регистр. Первые 3 бита информации определяют код команды, остальные 21 бита поступившие в сдвиговый регистр являются параметрами команды.

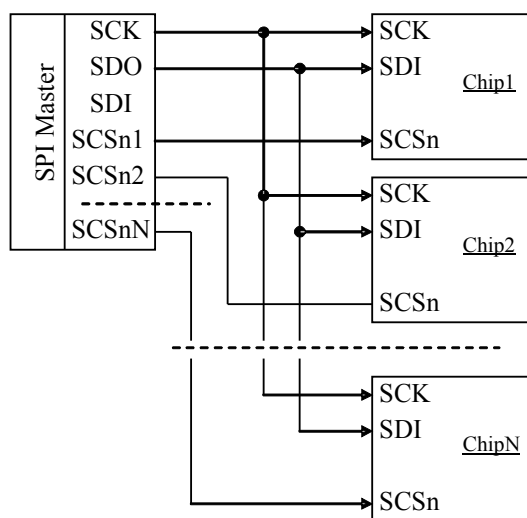


Рисунок 2.7. Схема соединения нескольких устройств по SPI интерфейсу.

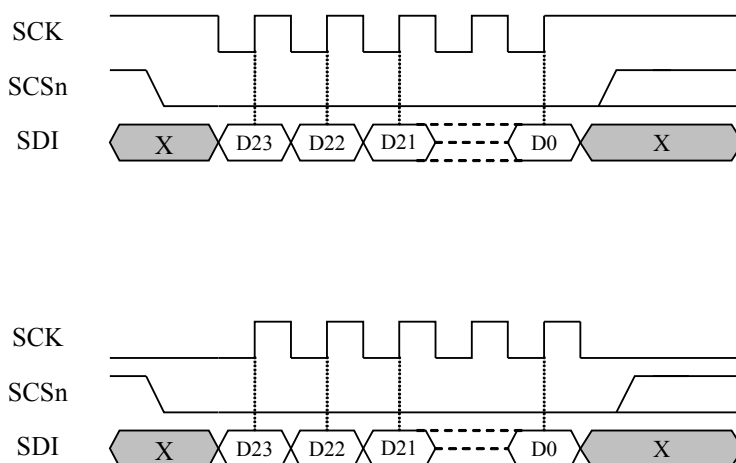


Рисунок 2.8. Прием и передача информации по SPI интерфейсу.

Вдвигаемые данные считываются по переднему фронту SCK. Выдвигаемые данные изменяются по заднему фронту SCK. Запись во внутренние регистры осуществляется по фронту сигнала SCSn.

Таблица 2.3. Формат кодов управления.

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Name
Code			Parameters																					
0	0	0	FL	res	res	res	res	res	res	R[13:0]													Ref	
0	0	1	FL	res	res	res	INT[16:0]													Int				
0	1	0	FL	res	res	res	res	FRAC[15:0]													Frac			
0	1	1	FL	res	res	res	res	MOD[15:0]													Mod			
1	0	0	res	D T H E	SDM	res	res	res	res	R C E N	OSEL	DLY	P D P	R C I E	PRE	OFF	R S T	Ctr1						
1	0	1	res	res	res	res	CNT					LM	CPI2		CPI1		Ctr2							
1	1	0	TST			res	res	res	res	res	res	res	PMCNT					PMT	Ctr3					
1	1	1	unused																				Nop	

Таблица 2.4. Значения полей управления.

Поле	DIRECT	Назначение
R[13:0]	{6'b0,KR7,KR6,KR5, KR[4:0]}	Коэффициент деления опорной тактовой частоты (DIVR). Значение поля 0 соответствует значению коэффициента 1
INT[16:0]	KINT	Коэффициент деления входной частоты (PRE/DIVNM). Если данное поле установлено в 0, то коэффициент деления определяется входами KINT. Значение поля 0 условно соответствует коэффициенту деления 1
FRAC[15:0]	-	Числитель дробной части коэффициента деления.
MOD[15:0]	-	Знаменатель (модуль) дробной части коэффициента деления.
FL	0	При установке этого поля в “1” сбрасывается признак LOCK и устройство переходит в режим “быстрый захват” (FastLock). См. также поле LM.
RST	0	1= сброс внутренних счетчиков и схемы управления. Не влияет на значения полей управления.
OFF[1:0]	0	Выключение устройства: 0= нормальная работа 1= асинхронно переводит выход PDCP в высокоимпендансное состояние. 2= асинхронно переводит устройство в режим пониженного потребления. Выход PDCP устанавливается в высокоимпендансное состояние. 3= синхронно переводит устройство в режим пониженного потребления. Выход PDCP устанавливается в высокоимпендансное состояние. В режиме пониженного потребления все внутренние счетчики устанавливаются в начальное состояние.
PRE[1:0]	PRE NMI	Код управления предделителем: 0= 4/5, 1= 8/9, 2= 16/17, 3= 32/33
RCIE	0	1= разрешение входа PDP_RCI в качестве RCI (вход фазового детектора от делителя опорной частоты).
PDP	0	Полярность фазового детектора
DLY[1:0]	0	Задержка antybacklash: 0= ~1нс 1= ~2нс 2= ~3нс 3= ~4нс

Поле	DIRECT	Назначение
OSEL[2:0]	3	Управление выводом OUT1: 0= SDO – выход SDO последовательного интерфейса 1= FCO – выход тактовой частоты после DIVNM 2= RCO – выход тактовой частоты после DIVR 3= LOCK – признак захвата фазы 4= резерв 5= PRE – выход предделителя 6= 0 7= hiZ
RCEN	1	Управление выводом RCO.
SDM[1:0]	0	Режим работы сигма-дельта модулятора: 0= выключен 1= SDM 2-го порядка 2= SDM 3-го порядка 3= SDM 4-го порядка
DTHE	0	1= Включение схемы рандомизации помех дробности.
CPI1[2:0]	0	Код управления током генератора тока 1
CPI2[2:0]	0	Код управления током генератора тока 2
LM[1:0]	0	Режим переключения тока генератора тока: 0= применяется CPI1 независимо от состояния поля FL 1= применяется CPI2 независимо от состояния поля FL 2= при записи 1 в поле FL применяется CPI2, а через ~4*CNT такта поле FL сбрасывается в 0 и применяется CPI1. 3= при записи 1 в поле FL применяется CPI2, а через ~4*CNT такта после захвата фазы поле FL сбрасывается в 0 и применяется CPI1.
CNT[7:0]	0	Задержка переключения тока CP. См. поле LM.
PMT[1:0]	1	Погрешность совпадения фазы для формирования признака захвата фазы: 0= 4нс 1= 8нс 2= 12нс 3= 16нс
PMCNT[7:0]	5	Счетчик совпадений фазы для формирования признака захвата фазы. Признак захвата фазы формируется, если произошло PMCNT совпадений фазы подряд.
TST[2:0]	0	Режим тестирования. Для нормальной работы должен быть установлен в 0.
Res	-	Зарезервировано. Должны быть установлены в 0.

2.7. Режим DIRECT.

При использовании СБИС ФАПЧ в схеме без микроконтроллера, управление СБИС может осуществляться в режиме **DIRECT** без использования **SPI** интерфейса. Переход в режим задается установкой сигнала **DIRECT** в состояние логической единицы.

В режиме **DIRECT** возможно только целочисленное деление (**SDM** выключен), параметры **R**, **PRE**, **INT** управляются напрямую через внешние выводы следующим образом:

$$R = \{00000000, SCSn_KR7, SCK_KR6, SDI_KR5, KR [4:0]\}$$

$$PRE = PRE_NMI[1:0]$$

$$INT = KINT[16:0]$$

Остальные внутренние параметры (задержка «antibacklash», величина опорного тока и т.п.) устанавливаются по умолчанию.

2.8.Режим PWDN.

При переключении сигнала PWDN в активный уровень (логический ноль) происходит отключение аналоговых блоков (Предделитель PRE , фазовый детектор и источник тока PDCP) от шин питания. В цифровых блоках асинхронно обнуляются все регистры.

2.9.Режимы тестирования.

СБИС имеет специальные режимы работы для тестирования. Переход в режимы тестирования осуществляется при установки поля TST в ненулевое значение.

В режимах тестирования в качестве тактовой частоты DIVNM и DIVR используется сигнал SCLK при SCSn==1.

В режиме TST==1 сохраняется функциональность СБИС как в нормальном режиме.

В режиме TST==2 регистры SDM, DITH и регистр сигнала INT после суммирования с DITH и SDM подключаются как сканирующий путь на SDI/SDO (все, что работает от FCO).

В режиме TST==3 триггер FL, регистр кода CPI и счетчики CNT и MTCNT подключаются как сканирующий путь на SDI/SDO (все, что работает от RCO).

В режиме TST==4 регистры полей управления подключаются как сканирующий путь на SDI/SDO (все, что работает по SCSn).

В режиме TST==5 регистры счетчиков DIVNM подключаются как сканирующий путь на SDI/SDO.

В режиме TST==6 регистр счетчика DIVR подключается как сканирующий путь на SDI/SDO.

3.Электрические характеристики

Таблица 3.1. Электрические характеристики (T=-60..+85°C)

Параметр	Обозначение	Тест	MIN	TYP	MAX	Размерность
Напряжения питания						
- Генератор тока	CPVDD		3.15	3.3	3.45	В
- Предделитель	PRVDD		1.75	1.8	1.85	В
- Цифровое	VDD		1.75	1.8	1.85	В
- Контактных площадок	DVDD		3.15	3.3	3.45	В
Ток потребления						
- Генератор тока	ICPVDD			5		мА
- Предделитель	IPRVDD			30		мА
- Цифровое ядро	IVDD			30		мА
- Контактных площадок	IDVDD			2		мА
Логические входы						
- напряжение лог. “1”	Vih		2.0		VDD+0.3	В
- напряжение лог. “0”	Vil		-0.3		0.8	В
- ток утечки	Iilic		-10		10	мкА
- входная емкость	Сi				7	пФ
Логические выходы						
- напряжение лог. “1”, Ioh=4мА	Voh		2.4			В
- напряжение лог. “0”, Ioh=4мА	Vol				0.4	В
- ток лог. “1”, Voh=2.4	Ioh		3.1			мА
- ток лог. “0”, Vol=0.4	Iol		4			мА
Высокочастотный сигнал						
- Входная частота (синус) ¹	F _{IN}		500		3000	МГц
- Чувствительность по входу	V _{IN}		-10		0	dBm
- Максимальная частота на выходе предделителя PRE	F _{PRE}			750		МГц
- Емкость входа	С _{IN}				5	пФ
- Сопротивление входа (дифференциальное)	R _{IN}			2		кОм
Сигнал опорной частоты						
- Входная частота (синус) ¹	F _{REF}		20		250	МГц
- Уровень сигнала	V _{REF}		0.8		DVDD	В, п-п
- Емкость входа	С _{REF}				7	пФ
- Сопротивление входа	R _{REF}			24		кОм
Фазовый детектор						
- Частота работы фазового детектора	F _{PDF}				75	МГц
Генератор тока						
- Ток утечки в третьем состоянии	I _{CPL}			1		нА
- Диапазон рабочего напряжения	V _{CP}		0.7		CPVDD-0.7	В
- Ток откочки/подкачки	I _{CP}	Rset = 5кОм		5		мА
- Рабочий диапазон изменения Rset ²	R _{SET}	V _{CP} = CPVDD/2	2.5		10	кОм
- Точность установки тока откочки/подкачки		V _{CP} = CPVDD/2		20		%
- Температурная нестабильность тока		V _{CP} = CPVDD/2		2.5		%
- Изменение тока от напряжения на выходе		V _{CP} = 0.7..CPVDD-0.7		5		%
- Разбаланс токов откочки/подкачки		V _{CP} = CPVDD/2		25		%
Нормализованный уровень собственных шумов ⁴	P _{NHz}	F _{IN} = 3000 MHz		-193,4		dBc/Hz
-						

Параметр	Обозначение	Тест	MIN	TYP	MAX	Размерность
Относительный уровень собственных шумов на отстройке 1кГц на частоте сравнения: 0,2МГц 1МГц 10МГц	P _N	F _{IN} = 3000 MHz		-140,4 -133,4 -124,4		dBc/Hz dBc/Hz dBc/Hz
Уровень фазового шума на выходе ГУН на отстройке 1кГц ⁵	P _{NOISE}	A B C		- -70 -		dBc/Hz dBc/Hz dBc/Hz
Уровень паразитных составляющих на выходе ГУН на отстройке ⁵ : - 200кГц - 400кГц - 200кГц - 400кГц - 1МГц - 2МГц	SFDR	A A B B C C		-----		dBc dBc dBc dBc dBc dBc

1 – Минимальная частота определена для синусоидального сигнала минимального уровня. Для сигнала с фронтами не медленнее 10нс/В ограничения на минимальную частоту нет.

2 – Ток откачки/подкачки зависит от сопротивления R_{SET} и кода тока CPI следующим образом:

$$I_{CP} = 3.2 * (1 + CPI) / R_{SET}$$

3 – Ток откачки/подкачки зависит от сопротивления R_{SET} и кода тока CPI следующим образом:

4 – Уровень собственных шумов рассчитывается по формуле: P_{FLOOR} = P – 20*lg(N) - 10*lg(F_{PFD}), где:

- P – уровень шума, измеренный на выходе ГУН в петле ФАПЧ в полосе 1Гц

- N – коэффициент деления входной частоты

5 – Режимы измерения:

A - F_{IN} = 900 МГц, F_{PFD} = 200 кГц, LoopBW = 20кГц, KINT=4500, P=4

B - F_{IN} = 3000 МГц, F_{PFD} = 200 кГц, LoopBW = 20кГц, KINT=15000, P=32

C - F_{IN} = 3000 МГц, F_{PFD} = 1 МГц, LoopBW = 100кГц, KINT=3000, P=32

Таблица 3.2. Предельные характеристики.

Параметр	Обозначение	MIN	MAX	Размерность
Напряжения питания: - Генератор тока - Пределитель - Цифровое - Контактных площадок	CPVDD PRVDD VDD DVDD		4.0 2.4 2.4 4.0	B
Напряжение на выводах INM, INP		-0.4	PRVDD+0.4	B
Напряжение на выводах CPO		-0.4	CPVDD+0.4	B
Напряжение на цифровых выводах		-0.4	DVDD+0.4	B
Ток входа/выхода			8	mA
Температура хранения	Tenv	-60	+125	C
Температура выводов при пайке	Tlead		+300	C

4. Временные характеристики

Таблица 4.1. Временные характеристики (DVDD=3.3В, T=-60..+85°C, C_{load}=40пФ).

№	Параметр	обозначение	Мин, нс	Тип, нс	Макс, нс
1	Период тактового сигнала REF	t_{REF}	3		
2	Длительность высокого уровня сигнала REF	t_{REFH}			
3	Длительность низкого уровня сигнала REF	t_{REFL}			
4	Период тактового сигнала SCK	t_{SCK}	50		
5	Длительность высокого уровня сигнала SCK	t_{SCKH}	20		
6	Длительность низкого уровня сигнала SCK	t_{SCKL}	20		
7	Время установки SDI относительно переднего фронта SCK	t_{SSDI}	3		
8	Время установки SDI относительно заднего фронта SCK	t_{HSDI}	3		
9	Время установки SDO относительно заднего фронта SCK	t_{DSDO}			7
10	Время установки SCSn относительно переднего фронта SCK	t_{SSCSn}	3		
11	Время установки SCSn относительно заднего фронта SCK	t_{HSCSn}	3		
12	Время перехода сигнала SDO в состояние “выключено” после снятия сигнала SCSn	t_{DSDOZ}	3		
13	Время установки сигнала KINT относительно сигнала OUT1, OUT2 в режиме FCO	t_{SKINT}	3		
14	Время удержания сигнала KINT относительно сигнала OUT1, OUT2 в режиме FCO	t_{HKINT}	3		
15	Время установки сигнала KR относительно сигнала OUT1, OUT2 в режиме RCO	t_{SKR}	3		
16	Время удержания сигнала KR относительно сигнала OUT1, OUT2 в режиме RCO	t_{HKR}	3		

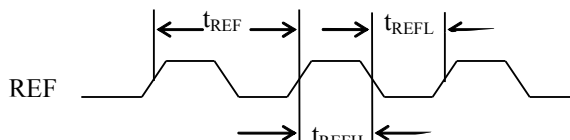


Рисунок 4.1 Тактовый сигнал REF.

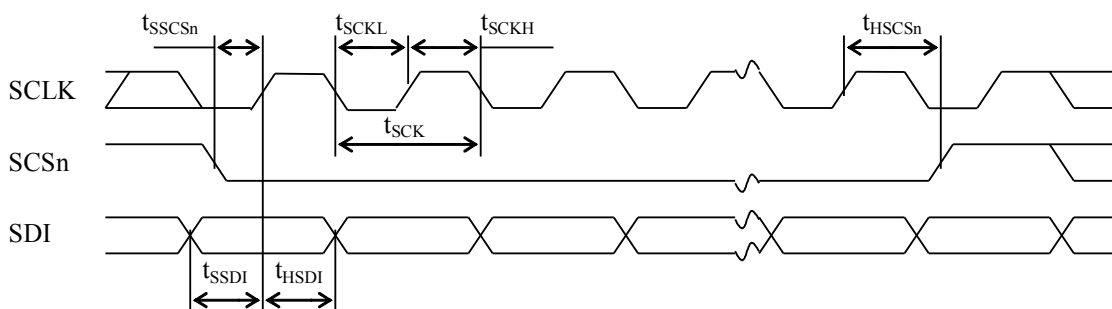


Рисунок 4.2. Подача сигналов SDI относительно тактового сигнала SCK.

5. Типовые схемы включения

Таблица 5.1. Режимы работы СБИС ФАПЧ.

Целочисленный/дробный синтезатор	В данном режиме используется последовательный порт Возможно включение/отключение СДМ (DIRECT=0)
ЛЧМ синтезатор	В данном режиме используется последовательный порт Используется прямая загрузка коэффициентов деления ДПКД KINT (DIRECT=0)
Целочисленный синтезатор с прямой загрузкой коэффициентов деления (Режим DIRECT)	В данном режиме СБИС ФАПЧ применяется без дополнительных внешних контроллеров в режиме целочисленного ФАПЧ: коэффициенты деления (R, N, M, PRE) загружаются напрямую через внешние выводы, СДМ отключается, параметры ФАПЧ (задержка «antibacklash», величина опорного тока, полярность ЧФД и т.п.) – по умолчанию. (DIRECT=1)

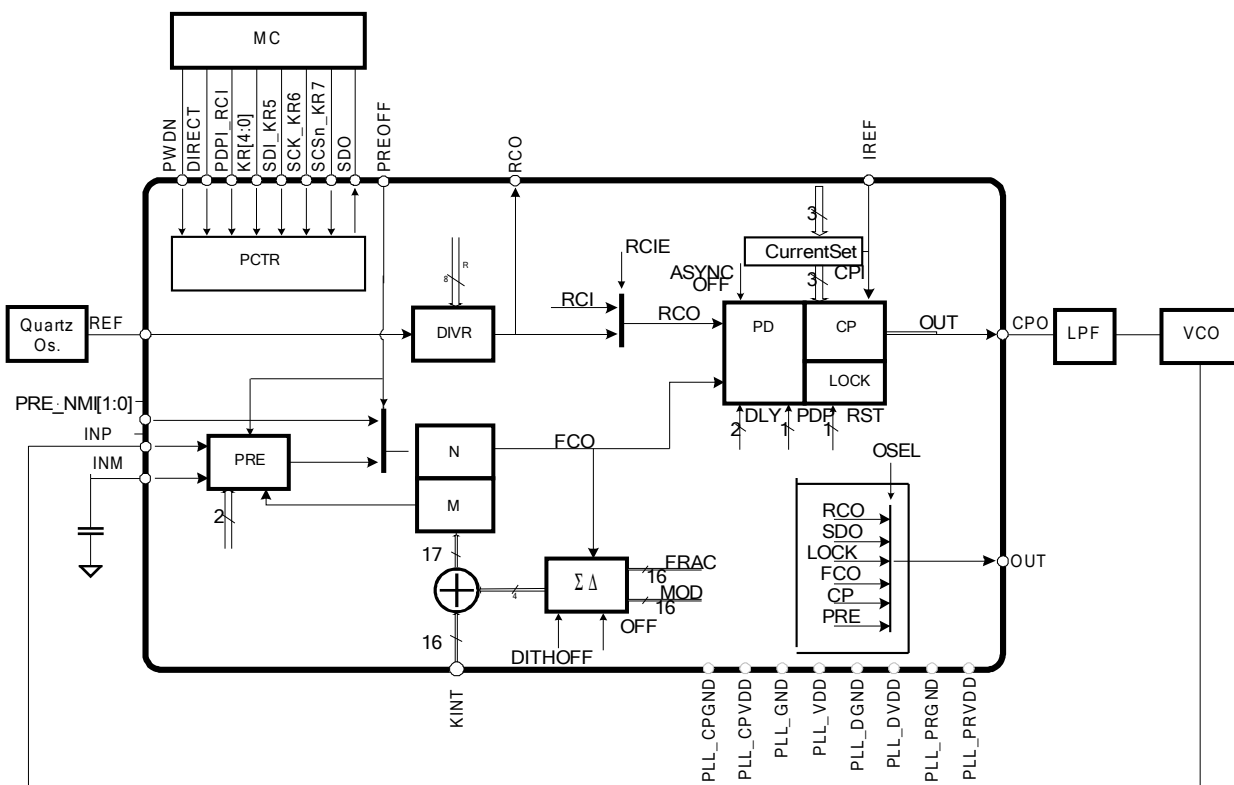


Рисунок 5.1. Режим целочисленного/дробного синтезатора.

6. Корпус СБИС

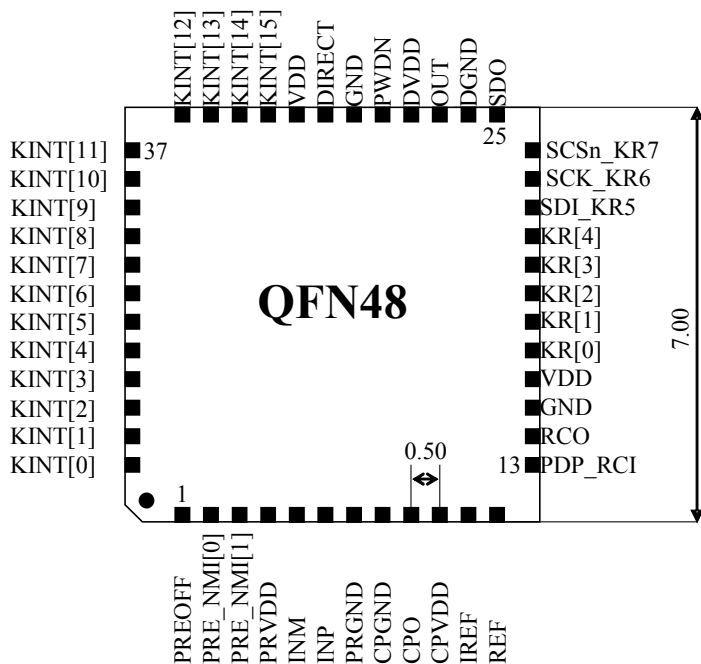


Рисунок 6.1. Корпус микросхемы.

Таблица 6.1. Нумерация выводов БИС

1	PREOFF	13	PDP_RCI	25	SDO	37	KINT[11]
2	PRE_NMI[0]	14	RCO	26	DGND	38	KINT[10]
3	PRE_NMI[1]	15	GND	27	OUT	39	KINT[9]
4	PRVDD	16	VDD	28	DVDD	40	KINT[8]
5	INM	17	KR[0]	29	PWDN	41	KINT[7]
6	INP	18	KR[1]	30	GND	42	KINT[6]
7	PRGND	19	KR[2]	31	DIRECT	43	KINT[5]
8	CPGND	20	KR[3]	32	VDD	44	KINT[4]
9	CPO	21	KR[4]	33	KINT[15]	45	KINT[3]
10	CPVDD	22	SDI_KR5	34	KINT[14]	46	KINT[2]
11	IREF	23	SCK_KR6	35	KINT[13]	47	KINT[1]
12	REF	24	SCSn_KR7	36	KINT[12]	48	KINT[0]